Globalpress electronics Summit 2008

Viel Neues vom Westen

Ein beherrschendes Thema des Globalpress Electronics Summit, das vom 31.März bis zum 3.April in San Francisco stattfand, war low Power. Aber auch aus den Bereichen programmierbare Logik, ASIC und ASSPs gab es für die 42 Redakteure aus aller Welt viele Neuigkeiten. Teil 1 unseres zweiteiligen Berichts betrachtet Keynotes und Produkte. Der zweite Teil mit weiteren Produkten folgt in der Juniausgabe.

Bild 1: Beiträge zum Thema Energieeinsparung brachten (von links) Michel De Mey von ON, Andrew Baker von Intersil, Glenn Perry von Mentor, Tom Trill von Quimonda, Rick Zarr von NSC und Mohit Bhatnagar von Cadence. (Alle Bilder S.Best)

Wesentlicher Bestandteil der Summits sind neben den Keynotes und Firmenpräsentationen die Podiumsdiskussionen. Das Thema der ersten Podiumsdiskussion und einiger Firmenvorträge war die Verminderung des Stromverbrauchs und der Anteil, den die Halbleiterindustrie dazu beitragen kann.

Low Power ist gefordert

Die Teilnehmer der Podiumsdiskussion (**Bild 1**) zum Thema: „Ansätze, den Energieverbrauch zu senken“ zeigten einige Maßnahmen, die zumindest einen erkenntlichen Beitrag zur Reduzierung des Strombedarfs leisten. Dabei sollten vier Bereiche beachtet werden:

- Systemdesign
- Software
- SOC-Lösungen
- Prozesse

Die Zuständigkeit für Stromeinsparungen liegt nicht nur beim IC-Designer. Beim Systemdesign sollte man für die jeweilige Applikation nicht „overdesignen“ und einzelne Stromverbräuche beachten. So benötigt ein Audiofilter in der Timedomain 10x weniger Strom als ein Filter in der Frequenzdomain. Neue Architekturen reduzieren ohne neue Prozesse den Verbrauch. DRAMs z. B. machen im Schnitt 25 % des Stromverbrauchs in einem System aus, hier reduzieren neue Architekturen wie z. B. die buried Wordlines, wie sie Quimonda bald bietet.

Weitere Maßnahmen, die die Diskussionsrunde ergab, sind:

Einsatz von Schaltreglern, von PWM bei Volllast, von PFM bei mittlerer Last, von LDOs im Sleepmode (das Ganze on the fly gesteuert z. B. über I^2C) und gutes Lastausbalancieren, um nur einige zu nennen. Was die Software angeht, kann man schon bei der Aufteilung Hardware/ Software die Leistungsbilanz beeinflussen. Auch sollte die Software stromsparende Modi beinhalten und die Variierung des Taktes bei µP/µC. Moderne High Level Synthese Tools berücksichtigen ebenso ein energiesparendes Design. Neue Architekturen tragen auch zur Ersparnis bei. Z. B. Continous Time Sigma-Delta ADCs, Subsystem-Design (z. B. Schaltregler für Leistungsverstärker) oder Frame sequential LCD-Displays.

Beim SOC-Design muss die Stromversorgungs- und Verteilungseffizienz beachtet werden und ein intelligentes Systemmanagement mit optimierten Resourcen zum Einsatz kommen. Die Produktpräsentation von Tensilica war ein gutes Beispiel, wie Architekturen zur Energieeffizienz beitragen können. Die Firma kündigte an, dass sie ein neues grafisches Userinterface (GUI) dem populären Xenergy Estimator beigefügt hat, einen Energiekalkulator für den konfigurierbaren Xtensa Prozessor und den Diamond Standardprozessor, der den Energieverbrauch des Designs misst. Dieses erste Tool seiner Art ermöglicht Softwareentwicklern ihre Software für den Stromverbrauch zu optimieren. Unter Verwendung von Xenergy kann der Designer Xtensa Prozessorkonfigurationen festlegen, die die Taktrate für die jeweilige Anforderung stark zu reduzieren und so die Gesamtstromaufnahme. So kann z. B. für eine FFT die Zahl der Taktzyklen von 326 auf 13 reduziert werden, was einer 22fachen Energieeinsparung entspricht.

Das Problem der Energieverschwendung sprach auch John East (**Bild 2**), President und CEO von Actel in einer Keynote an. So verbrauchen Automobile 45 ... 50 % der fossilen Treibstoffe oder in den USA wurden 2005 rund 4 Mrd. kWh nur durch elektrische Motoren verschwendet. Das am schnellsten wachsende Energieproblem ist die Zunahme an Computern und Telekom/ Datakom-Systemen. 1,2 % des US-Strombedarfs wird in Serverfarmen verheizt (60 % davon für Kühlung) und Ende 2008 bekommen laut einer Studie von Gartner die Datencenter ein Power-Problem. In einem IC sind vier Faktoren für die Verbrauchsbilanz zu nennen: die Dynamik, die Leakage, der Gateoxid Tunnelstrom und weitere wie Traps, laterales Tunneln. Abhilfe schaffen Low K, Strainen, Multicore und High K unter Verwendung von Hafnium. Trotzdem wird der Stromverbrauch weiter ansteigen und Lösungen wie Solarenergie (die Sonne liefert uns pro Jahr 3 850 ZetaJoule (ZJ), der weltweite Energiebedarf im Jahr 2004 war 0,471 ZJ), die Windenergie und weiterhin die Kernenergie sind gefragt. John East war während seiner Präsentation auch der Erfinder einen neuen Leistungseinheit, genannt Hamsterpower. Inspiriert von japanischen Studenten, die ein Auto mit Hamstern angetriebenen Mäuserädern entwickelt haben. Er hat errechnet, dass man 100 000 Hamster bräuchte, um die Antriebs-Leistung aufzubringen. Die 100 000

Bild 2: John East, President und CEO von Actel zeichnete ein dramatisches Bild der Energieverschwendung durch Serverfarmen und elektrische Motoren. Seine Igloo-FPGAs benötigen im Vergleich zum Mitbewerb nur 1 000stel der Leistung.

Hamster würden aber viele Probleme bereiten, angefangen vom Futter über die Gase, die sie erzeugen, bis hin zu ihrer Entsorgung.

Programmierbare Lösungen

John East nutzte die Gelegenheit nochmals auf seine Flash basierten Igloo-FPGAs hinzuweisen, die bei 1 Mio. Gattern mit 0,05 W im Vergleich zum Wettbewerb nur ein 1 000stel der Leistung verbrauchen (siehe auch *elektronik industrie* 3-2008, Seite 12). Auch die programmierbaren Logikbausteine der ProASIC3L- und der ProASIC3-Familien von Actel benötigen mit 1 mW bzw. 8 mW immer noch wesentlich weniger als der Mitbewerb. Zur Energieeinsparung tragen auch die Fusion-FPGS der Firma bei, die für ein intelligentes Systemmanagement und die effiziente Motoransteuerung ausgelegt sind.

In einer weiteren Keynote betrachtete Moshe Gavrielov (**Bild 4**), President und CEO von Xilinx die Herausforderungen, die sich die programmierbare Logik in Zukunft stellen muss. Das Dilemma sind der zunehmende Bandbreitenbedarf, das IP-getriebene Supernetzwerk, die zunehmende I/O-Geschwindigkeit und die immer kürzeren Time-to-Market Zyklen. Aber gerade da sieht er die Chancen für seine FPGAs, die immer mehr in das Herz der Systeme rücken und nicht nur in der Peripherie zu finden sind. Auch trifft man sie immer mehr in der Consumerelektronik an. Positiv auch für Xilinx, dass die Zahl der Designstarts bei ASICs bis in 4 Jahren um 40 % zurückgehen wird (Anm. d. R. ob er da auch China berücksichtigt hat?).

Xilinx präsentierte mit Virtex-5 FXT FPGAs, die das Ultimum in der Systemintegration darstellen für High-Performance Processing und High-Speed Serial I/O.

Die nun vierte Plattform der 65 nm Virtex-5 Familie an FPGAs ist jetzt mit PowerPC 440 Prozessor Block, GTX High Speed Transceivern und mehr als 190 GMACs DSP Leistung erhältlich. Die FXT FPGSs zielen Anwendungen in wired und wireless Kommunikation, Audio/Video Broadcast, Militär, Aerospace, Industriesystemen usw. an. Die Integration wesentlicher Prozessfunktionen und von SERDES Komponenten in einem IC bringt Vorteile für den Designer bei Platz- und Kosteneinschränkungen. Die Virtex-5 FXT Plattform kann z. B. im LTE (Long-Term Evolution) Baseband zur Unterstützung der 4G Kommunikationssystem sehr gut eingesetzt werden. Die neue Plattform in 65 nm-Technologie ist 30 % schneller und hat eine um 65 % größere Logikkapazität als die bislang verwendeten Bausteine in 90 nm Technologie, außerdem wurde die Leistungsaufnahme um 35 % gesenkt.

Jeder der bis zu zwei PowerPC 440 Prozessorblocks hat 32 KB Instruction- und 32 KB Datacache mit bis zu 1 100 DMIPS bei 550 MHz. Für den zunehmenden Bedarf an I/O-Bandbreite sind low-Power RocketIO GTX Transceiver für Datenraten von 500 Mbps bis 6,5 Gbps vorhanden. Damit können Applikationen und Standards wie XAUI, Fibre Channel, SONET, Serial RapidIO, PCI Express 1.1 und 2.0 sowie Interlaken realisiert werden. Der Leistungsbedarf ist nur 200 mW typisch je Kanal bei 6,5 Gbps. Die GTX Transceivers verfügen über Merkmale wie 4-Tap DFE Receiverequalization zusätzlich zur linearen Equalization und über Pre-emphasis im Sendepfad, um die Signalintegrity bei hohen Datenraten sicherzustellen. Die Transceiverblöcke unterstützen 64 B/66 B und 64 B/67 B Encoding/Decoding und sparen so tausende Logikzellen in jedem Kanal.

Bild 3: Walden C. Rhines, CEO & Chairman von Mentor Graphics demonstrierte die Probleme beim Übergang von 65 nm auf 45 nm Technologie. Gab es z. B. bei 130 nm Strukturen vier Knackpunkte, sind es bei 65 nm schon 20 Probleme, die zu lösen sind. Was kommt da erst bei 45 nm auf die Industrie zu?

Bild 4: Moshe Gavrielov, seit drei Monaten President und CEO von Xilinx, sieht eine glänzende Zukuft für die programmierbare Logik. Gründe sind die Konvergenz von Computer und Konsumer, die sozialen Netzwerke mittels SMS und Web2.0 und die technischen Netzwerke wie Triple Play/4G. Da bietet sich die Flexibilität und auch der Preis der programmierbaren Logik an, da die Maskenkosten der ASICs ins Unermessliche steigen.

Eine Kombination aus FPGA und Cell-based ASICs präsentierte der CEO von eASIC, Ronnie Vasishta. Nach seiner Ansicht sind Vollkunden-ICs u. a. wegen der hohen Maskenkosten nicht länger machbar, zumal 50 % im ersten Anlauf nicht arbeiten.

Die Lösung, die eASIC bietet, verfügt über zwei Optionen für die kundespezifische Konfiguration und erfüllt damit die Anforderungen einer schnellen Time-to-Market und für die Massenproduktion. In den Bausteinen der Nextreme SL Familie erfolgt das kundenspezifische Routing mittels Vias zwischen zwei Metallisierungsebenene mittels E-Beam und eine LUT-Konfiguration durch Laden des Bitstreams in ein SRAM (**Bild 5**). D. h. für die Vias wird kein Maskensatz benötigt, es kommt Elektronenstrahl-Direktschreiben zum Einsatz. Damit ist schnellste Umsetzung und höchste Flexibilität gewährleistet, z. B. für schnelle Prototypen. In den Bausteinen der Nextreme VL Familie ist die LUT hardkonfiguriert (**Bild 6**). Die VL-Bausteine bedingen kein externes Flash für die Konfiguration, sind somit allways on, anders als die SRAM-Bausteine der SL Familie. Darüber hinaus sind die VL Bausteine unempfindlich gegen Softerrors. Da von eASIC Multiprojektwafer angeboten werden, gibt es keine Mindeststückzahlen.

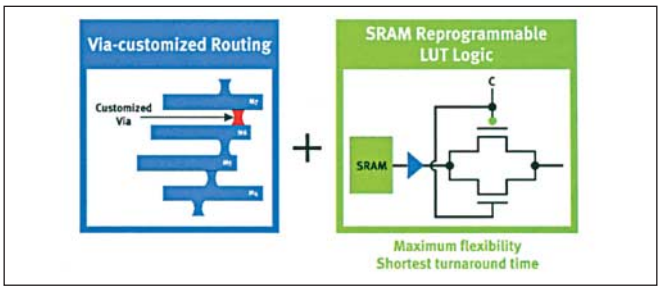


Bild 5: Bei den Structured ASIC der Nextrem SL Familie von eASIC erfolgt die kundenspezifische Konfiguration durch Vias und durch SRAM programmierbare LUT.

Panasonic
ideas for life

Extra-Sahne gefällig?

Höchste Produktqualität und Vielfalt sind bei unseren Komponenten Standard. Zusätzlich bieten wir ein

Service-Mehr:

- Fertigung in Deutschland
- Customized Lösungen
- Aktiver Kundensupport vor Ort mit deutschsprachigen Hotlines
- Kompetente, verbindliche und freundliche Ansprechpartner

Sprechen Sie uns an und profitieren Sie davon.

Hotline 08024 648-711

Panasonic Electric Works Deutschland GmbH
Tel.: 08024 648-0 • Fax: 08024 648-555
info-de@eu.pewg.panasonic.com
www.panasonic-electric-works.de

Besuchen Sie uns: EAC Expo / Stuttgart Halle 3, Stand 4122

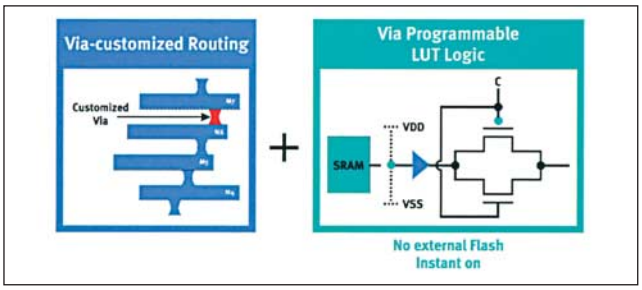


Bild 6: Bei den Structured ASIC der Nextrem VL Familie von eASIC erfolgt die kundenspezifische Konfiguration durch Vias und hardkonfigurierte programmierbare LUT.

RF Design Solution

Mentor Graphics und Agilent nutzen das Summit für die Vorstellung der ersten integrierten EDA-Lösung, die die Entwicklungszeit von Leiterplatten für den Hochfrequenzeinsatz auf die Hälfte reduziert (**Bild 7**). Hat man in der Vergangenheit den Digitalteil und den HF-Teil unabhängig voneinander entwickelt, ist mit RF Design Solution jetzt die gleichzeitige Entwicklung beider Teile möglich und das an verschiedenen Entwicklungsstandorten weltweit. Die neue EDA-Lösung kombiniert Mentors Expedition Enterprise oder das Board Station XE nahtlos mit dem Agilent Advanced Design System ADS EDA für HF-Design und Simulation. Neben der Zeitersparnis bietet die Lösung eine zusätzlich stark verkürzte RF-Designzeit, die Unterstützung durch die RF-Library, einen dynamischen Link zu Agilent ADS (kein manuelles Interface), konstanten Simulationszugriff usw.

Vielfalt an Produkten

Projektionsmodul passt in Handy

Viel Aufsehen erregte Microvision mit dem PicoP Projektionsdisplay (**Bild 8**), demonstriert von Alexander Tokman, CEO der Firma. Das Bild wird bei dieser Technologie durch einen bi-axialen MEMs Scanner erzeugt. Ein low Power RGB-Lichtstrahl von drei Laserdioden gelangt auf einen MEMS Spiegel, der das Bild zeilenförmig abscannt und projiziert, etwa vergleichbar mit dem analogen Fernsehen. D. h. es gibt keine Pixel und außerdem wird keine Projektionsoptik benötigt. Das Bild ist immer im Fokus, egal wie weit die Fläche entfernt ist, auf die das Bild projiziert wird. Anders als LCD, LCOS oder die DLP-Technik, die Projektionslinsen benötigen, wird weniger Leistung benötigt, weniger Wärme

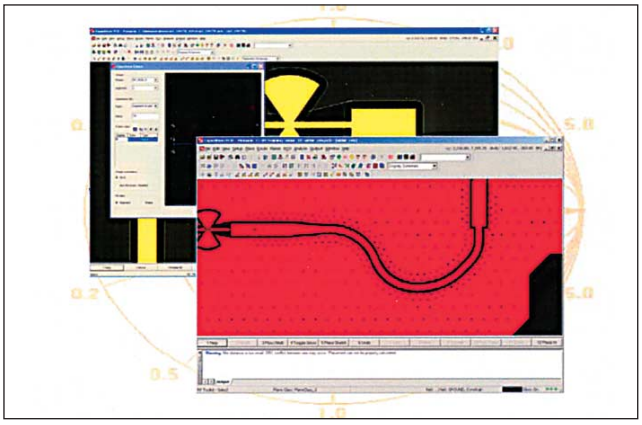


Bild 7: Die neue EDA-Lösung RF Design Solution kombiniert Mentors Expedition Enterprise oder das Board Station XE nahtlos mit dem Agilent Advanced Design System ADS EDA für HF-Design und Simulation.

erzeugt und Bildfehler gibt es auch nicht. Das Projektionsmodul ist in einem kleinen Gehäuse integriert, das sogar noch in einem Handy Platz findet. Im nur 7 mm hohen Modul sind die Elektronik, die drei Laserdioden, eine Kombinieroptik und der scannende MEMs Spiegel untergebracht. Die Leistungsaufnahme beträgt 1,5 W, das ist gegenüber Mitbewerbern 50 ... 70 % weniger. Auch, so Aleander Tokman, ist die Auflösung 5,3 mal besser und der Dynamikbereich entspricht 150 % von NTSC.
Das Modul wird auch in einem Stand-alone Projektionsgerät angeboten.

Audioprozessor macht Sprache verständlicher

Für die zunehmende Zahl an Audiogeräten wie Handys, Smartphones, Headsets, Freisprecheinrichtungen usw. bietet ON Semiconductor als eines der ersten Produkte nach dem Merger mit AMIS den Sprachprozessor BelaSigna 300 an. Er übernimmt das Echocanceling, die Rauschreduktion und die Sprachverbesserung. Michel De Mey präsentierte die nun dritte Familie an Sprachprozessoren, in der die Firma auf ihre Erfahrung mit Hörgeräten zurückgegriffen hat. BelaSigna300 vereint in einem 3,6 x 2,6 mm messenden WLCPS Gehäuse einen 24-Bit-CFX-DSP Core mit einem Hear-Coprozessor, beide getaktet mit 40 MHz, und einem Einkanal Class D Ausgangsverstärker. Eingangsseitig sind vier Mikrofonanschlüsse vorgesehen für ein Mikrofonarray, mit dem man auch Richtungsbestimmung vornehmen kann. Die vier Delta Sigma ADCs lösen mit 16 Bit auf, zwei können zur Erhöhung des Eingangsdynamikbereichs kombiniert werden und erzielen so eine Dynamik von 110 dB. Der Dynamikbereich des Gesamtsystems beträgt 88 dB (bzw. 110 dB Eingangsdynamik) und im Standby Mode werden nur 40 µA benötigt.

Bild 8: Das Projektionsmodul von Microvision ist in einem kleinen Gehäuse unterbracht, das sogar noch in einem Handy Platz findet. Das erzeugte Bild ist ohne Optik immer im Fokus.

Gegenüber von Standard DSPs ergeben sich mit der BelaSigna 300 Lösung viele Vorteile. Z. B. die kurze TTM, der sehr geringe Leistungsverbrauch und die hohe Flexibilität der offenen Plattform, um nur einige zu nennen.

Effizientes Speichern, Transportieren und Verarbeiten von Daten

Wurde in den 60er Jahren das Telefonnetz nur für die Sprachübertragung verwendet, hat sich das Bild stark gewandelt. Die Netze übertragen heute in erster Linie Daten und Sprache läuft (umsonst) so neben her. AMCC hat sich auf Bausteine zum effizientes speichern, transportieren und verarbeiten von Daten spezialisiert und nimmt da, so Kambiz Hosshmand, CEO und President der Firma, eine führende Position ein. Zu den Produkten, Neuvorstellungen gab es nicht, zählen auf PowerPC basierte Kommunikationsprozessoren, PHYs, Mapper und FEC sowie Speicherprozessoren und RAID-Controller.

System-Interconnect auf hohem Niveau

In Bälde wird es Produktankündigungen von Tundra geben. Die Firma hat sich auf Interconnect-Produkte spezialisiert und nimmt in den Marktsegmenten Kommunikation und Computing/Speicherung eine führende Position weltweit ein. Unterstützt werden VME für Mission-kritische Systeme z. B. in militärischen und zivilen Schiffen, Flugzeugen und in Radargeräten. Da ist die Firma, so Tracy Richardson, VP Marketing die Nr. 1 z. B. mit dem Baustein Tsi148, der im Vergleich zu Mitbewerbern nur die Hälfte an Leistung benötigt, aber 8mal mehr Bandbreite bietet und nur 68 % des Platzbedarfs hat. Bei Hostbridges zu Prozessoren von freescale und IBM z. B. für den Einsatz in Druckern ist man mit den ICs Tsi108...110 die Nr.2. Ohne Zweifel führend ist Tundra bei RapidIO für den embedded Markt. RapidIO verbindet DSPs, FPGAs und Prozessoren/Controller z. B. in der Wireless Infrastuktur, in Videogeräten oder generell im embedded Computing. Nicht zu vergessen das Angebot an PCI Express Bridges, die PCI Express mit PCI oder PCI-X verbinden. Zu nennen ist da der Tsi310, der sehr erfolgreich ist und quasi einen Industriestan-

GLOBALPRESS CONNECTION INC. – BRINGING BUSINESS AND MEDIA TOGETHER

Imgard Lafrentz, Präsident der Globalpress Inc. (links) bringt seit 22 Jahren Start-ups und etablierten US-Firmen mit Redakteuren aus der ganzen Welt zusammen. Seit sieben Jahren wird sie dabei von Edith Bendermacher (rechts) unterstützt.

Unter diesem Slogan veranstaltet Globalpress seit nun 22 Jahren eine Reihe von Veranstaltungen, die das Know how der amerikanischen Elektronikfirmen nach Europa und Asien bringt. 1986 von Irmgard Lafrentz (**Bild**) gegründet, fokussiert sich die Firma darauf, Redakteuren aus den Bereichen Halbleiter, Embedded, EDA, Telekomm, Netzwerke, Wireless, Datenspeicherung und Enterprise-Software die Geschäftsmodelle, Strategien und Produkte aus den USA näher zu bringen. Zum Service gehören die seit 2003 jährlich stattfindenden Summits (Electronics und IT) und von Anfang an die Reverse Presstouren für US-Redakteure sowie für die europäischen und asiatischen Redakteure. Im Angebot von Globalpress findet man auch Präsentationscouching, Übersetzungen, Interviews auf Messen usw.
Mit diesem Programmangebot verschafft die Firma einen globalen Auftritt für Firmen und verbessert die Kommunikation zwischen Firmen und Redaktionen. Er wird gerne von Start-up Firmen genutzt, aber auch von etablierten Firmen.
www.globalpresspr.com

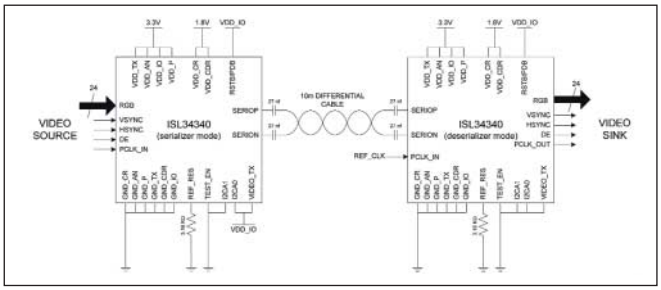


Bild 9: Als Besonderheit kann der Serdes-IC ISL34340 von Intersil neben den 24-Bit-Videodaten ohne weitere Leitungen oder extra Bandbreite weitere bidirektional Daten transportieren.

dard darstellt. Neu sind die Bausteine Tsi381 ... 384, die 1xPCIe zu PCI bieten bzw. 4xPCIe zu PCI-X mit Bandbreiten von 2,5 Gbit und ab nächsten Jahr mit 5 Gbit.

Video-SERDES mit bidirektionalem Datenkanal

Intersils Adam Langham nutzte das Summit, den Serdes-Baustein ISL34340 den Redakteuren vorzustellen. Der Serializer/Deserializer mit I²C Schnittstelle und im 64 Pin EPTQFP Gehäuse überträgt nach der Serialisierung LVCMOS parallele Videodaten (24-Bit RGB) über ein einfaches Leitungspaar (**Bild 9**). Als Besonderheit kann er zusätzlich ohne weitere Leitungen oder extra Bandbreite bidirektional Daten transportieren. So z. B. von abgesetzten Kameras oder von Navigations- und Displaysystemen.

Die 24-Bit Übertragung erfolgt z. B. für SVGA mit 800 x 600 Pixel mit 70 fps (16 % Blanking) oder für WSVGA mit 1 024 x 600 Pixel mit 60 fps (8 % Blanking). Die seriellen Leitungen sind on-Chip mit 100 Ohm abgeschlossen, der 8 b/10 B Linecode ermöglicht AC-Kopplung, was Immunität gegenüber Massepotentialverschiebung bietet.

Teil 2 folgt in der Juni-Ausgabe der elektronik industrie.

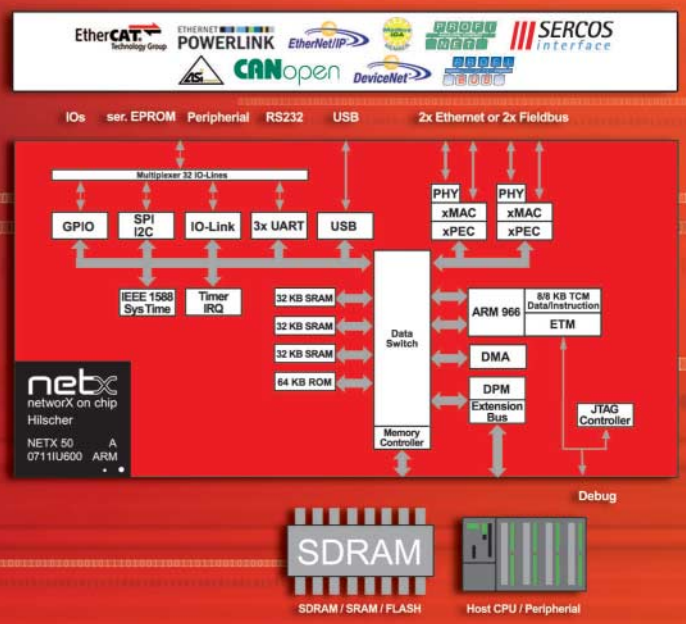
FIRMEN UND PRODUKTE IM TEIL 1

- Xilinx: Virtex-5 FXT FPGAs
- Mentor/Agilent: RF Design Solution
- eASIC: Nextreme SL und VL
- Microvision: PicoP Projektionsdisplay
- ON Semiconductor: Sprachprozessor BelaSigna 300
- Intersil: Serdes-Baustein ISL34340
- AMCC: Kommunikationsprozesssoren, PHYs,Mapper und FEC sowie Speicherprozessoren und RAID-Controller
- Tundra: VME-, RapidIO,PCI Express Interconnect ICs

infoDIRECT www.elektronik-industrie.de **450*ei*0508**

► Direktlink zu **Firmen und Produkten im Teil 1**

netX 50

netX 50 – networX on Chip

- Netzwerk-Controller mit 16 oder 32 Bit und zwei Kommunikationskanälen für Feldbus oder Real-Time-Ethernet mit integrierten PHY / Switch / Hub
- EtherCAT mit 8 FMMUs / Sync-Manager und 6 KB IO-Daten
- Controller für IO-Link Master und CCD Sensor
- Hardwareplattform für IOs und IO-Link Gateways