



# FPGAs gegen ASICs

## „Electronics Summit 2008“ im Zeichen der Zukunft des Chipdesigns

Einmal im Jahr findet in San Francisco der „Electronics Summit“ statt, ein Kongress, auf dem etablierte Unternehmen und Start-Up-Firmen den eingeladenen Journalisten aus aller Welt nicht nur ihre neuesten Entwicklungen, sondern auch ihre Zukunftsvisionen präsentieren. In diesem Jahr stand der Kongress im Zeichen der Zukunft des Chipdesigns und der Energie-Einsparung

Von Frank Riemenschneider



Bild 1. Moshe Gavrielov, CEO von Xilinx, beschwört einen 14-Mrd-\$-Markt für FPGAs bis 2011.

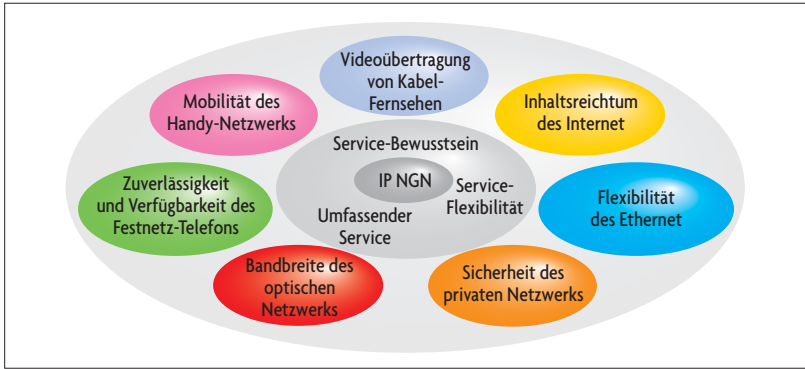
Der von der „Globalpress Connection“ organisierte Kongress begann mit einer Diskussion über die Zukunft der FPGAs und der ASICs. Hauptredner **Moshe Gavrielov** (Bild 1), CEO bei Xilinx, vertrat dabei hinsichtlich der Zukunft der programmierbaren Logik eine andere Ansicht als das Gros der Analysten, die bis 2011 ein Wachstum von derzeit 4 Mrd. \$ auf „nur“ 5,2 Mrd. \$ erwarten. Wegen der noch immer vergleichsweise hohen Preise und des Energieverbrauchs wird eine Sättigung insbesondere im Consumerbereich vorhergesagt.

### ■ Rosige Aussichten prognostiziert

Moshe Gavrielov sieht inklusive neuer Märkte bis 2011 jedoch ein Volumen von 14 Mrd. \$, wobei nicht nur ASICs Marktanteile verlieren werden, sondern auch ASSPs. Die FPGAs seien

nicht nur wichtig, um im Wettbewerb Differenzierungsmerkmale zu erzielen, auch das Mooresche Gesetz komme den FPGA-Herstellern entgegen, da sich mit kleinen Prozessgeometrien auch immer mehr Funktionen wie leistungsfähige Mikroprozessoren in einem FPGA integrieren ließen. Als Beispiel nannte Gavrielov die Konvergenz vorhandener Netzwerke zum „Super-Next-Generation-Netzwerk NGN“ (Bild 2), das sowohl innovative Zugangsgeräte als auch hochleistungsfähige Geräte im Zentrum des Netzes benötigt, um z.B. Quadplay, Security und nahtlose Interoperabilität bieten zu können. Was sich heute im Zentrum des Netzes befindet, wandert in Form von Pico- und Femtozellen an den Rand. Auch in der Automobilindustrie sieht Gavrielov hohes Wachstumspotential, da dort Hardware-Programmierbarkeit notwendig ist.

Die genau entgegengesetzte Sicht äußerte **Ronnie Vasishta**, CEO von



I Bild 2. Cisco definierte die Anforderungen an das „Super-Next-Generation-Netzwerk“.

eASIC ([www.eAsic.com](http://www.eAsic.com)), der an die Wiedergeburt der ASICs glaubt, sofern diese für Kunden bezahlbar sind bzw. wieder bezahlbar werden. Wenn man nämlich die Sicht von Analysten extrapoliert, werden im Jahr 2030 nicht



I Bild 3. John East, CEO von Actel, zeichnete ein düsteres Bild bezüglich des derzeitigen Energiebedarfs. Igloo-FPGAs sollen dazu beitragen, diesen Energiehunger zu reduzieren.

mehr als 250 ASIC-Starts pro Jahr zu Buche schlagen. Vasishta stimmte auch dem Argument von Xilinx & Co. zu, dass kaum mehr ein Kunde bereit ist, Investitionen von mehreren 10 Mio. Dollar für einen 65-nm-Chip aufzubringen; Kosten, die für Maskensätze und NRE fällig werden (Non-Recurring Engineering, Einmalkosten für Forschung, Design und Test eines neuen Produkts).

Die Firma eASIC verfolgt daher einen Ansatz, der ASICs wieder bezahlbar machen soll: Ein Master-IC der

hauseigenen Nextreme-Familie, es kann bis zu 5 Mio. Gatter und 790 Benutzer-I/Os aufnehmen, wird mit Hilfe eines festen Maskensatzes gefertigt. Auf diesem befinden sich neun Metalisierungsebenen. In der sechsten Ebene findet dann die kundenspezifische Programmierung mittels Elektronenstrahlithographie (Kasten „Wie funktioniert Elektronenstrahlithographie?“) statt, wobei nur die Vias programmiert werden. Aufgrund der Programmierbarkeit steigt der Flächenbedarf des Dies um 30 bis 40 %.

Die logischen Grundeinheiten sind keine NAND-Gatter, sondern, ähnlich wie bei FPGAs, Logikeinheiten. Die einzigen fest verdrahteten Blöcke sind Block-Speicher, die mit bis zu 5,6 Mbit verfügbar sind. Außerdem stehen verteilte Speicher bis zu 5,6 Mbit zur Verfügung. Laut eASIC soll es sehr einfach sein, IP von Drittherstellern zu integrieren, sei es ein Prozessor von ARM oder Tensilica oder ein H.264-Encoder von Ocean Logic, der sich mit bis zu 180 MHz takten lässt.

Gefertigt werden die Chips von Fujitsu mit einem 90-nm-Prozess. Ein Toolset ist derzeit nur von Magma erhältlich, andere EDA-Hersteller sollen folgen. Das Desaster der „Structured ASICs“, die sich bekanntermaßen als Flop erwiesen, soll sich nicht wiederholen. Structured ASICs benötigen wesentlich größere Routing-Ressourcen und die Dies waren für die damals angewendeten Prozesstechniken einfach zu groß. Zudem waren ASICs seinerzeit noch billiger, so dass der Leidensdruck hinsichtlich der Nutzung von Alternativkonzepten wesentlich geringer war.

Ein Chip kostet bei eASIC „einige zehntausend Dollar“ und kann innerhalb von einer bis vier Wochen fertiggestellt werden. Ein eASIC-IC kostet im Low-End-Bereich ca. 50 % weniger als ein vergleichbares FPGA, im High-End-Bereich sogar ca. 90 % weniger. Die Zielmärkte bewegen sich laut Vasishta in den Bereichen Multimedia, Kommunikation und in der Industrie. In Basisstationen sollen die Chips bei vierfacher Leistungsfähigkeit bis zu 90 % weniger Energie verbrauchen als FPGAs.

#### ■ Energie-Einsparung um jeden Preis

Der zweite Schwerpunkt der Konferenz beschäftigte sich mit Energie-Einsparung, ein Thema, das wegen steigender Ölpreise und wachsenden politischen Drucks zunehmend höhere Priorität bei den Halbleiterfirmen genießt. **Actel-CEO John East** (Bild 3)

#### Wie funktioniert Elektronenstrahlithographie?

Will man kleinere laterale Strukturen herstellen als mit Photolithographie möglich sind, so bietet sich die Elektronenstrahlithographie an (Electron Beam Lithography, EBL – auch einfach E-Beam genannt). Dies ist eine spezielle Technik, um extrem kleine Strukturen im nm-Bereich zu erzeugen. Dabei scannt ein fokussierter Elektronenstrahl die Oberfläche des zu strukturierenden Substrats ab, das mit einem Resist (Fotolack) bedeckt ist, der empfindlich gegenüber Elektronen reagiert. Bei EBL ist die Wellenlänge des Trägers nicht länger auflösungsbegrenzend, denn die De-Broglie-Wellenlänge von Elektronen bei 20 keV beträgt ca. 9 pm. Nun begrenzen die Elektronenoptik, die

Streuung der Elektronen in der Probe sowie die Eigenschaften des Resists die erreichbaren Strukturgrößen.

Der meist aus einem organischen Material bestehende Fotolack wird bei dieser Belichtung chemisch verändert, und so können in einem nachfolgenden Entwicklungsprozess entweder die belichteten Strukturen (Positivlack) oder die unbelichteten Strukturen (Negativlack) entfernt werden. Im Unterschied zur Photolithographie werden bei der EBL die Strukturen seriell geschrieben: Ein fokussierter Elektronenstrahl belichtet nacheinander alle vorgesehenen Teile der Probe. Die EBL dauert deshalb wesentlich länger als die Photolithographie.



**Bild 4.** Die Serverfarmen von Google, Yahoo und Microsoft wurden wegen des extrem hohen Energiebedarfs direkt neben einem Kraftwerk erbaut. Sollte Microsoft Yahoo doch noch übernehmen, wäre ein Zusammenführen der Infrastruktur sehr einfach.

präsentierte zunächst einige Fakten, welche die Notwendigkeit der Energie-Einsparung verdeutlichen:

- ▶ 50 Prozent des derzeitigen Schadstoffausstoßes werden durch die Er-

zeugung elektrischer Energie verursacht.

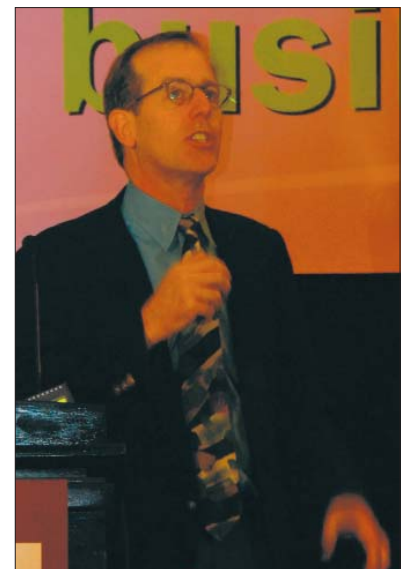
- ▶ Im Jahr 2005 erzeugten die USA 4,055 Mrd. kWh, wovon mehr als die Hälfte für Elektromotoren benötigt wurde.

- ▶ Das am schnellsten wachsende Energieproblem wird durch Computer und Telekommunikation verursacht, wobei 1,2 % der Energie von Serverfarmen verbraucht werden.

In Bild 4 erkennt man drei große Hallen, in denen sich die Server von Google, Yahoo und Microsoft befinden. Um die benötigte Menge Energie überhaupt transportieren zu können, wurden diese Serverfarmen unmittelbar neben einem Kraftwerk gebaut. Laut Gartner-Group werden mehr als 60 % der aufgenommenen Energie dafür verwendet, die Server zu kühlen.

Da das in Japan als Prototyp gebaute Hamster-Auto (Kasten „Das Hamster-Auto“) als energie-einsparende Alternative eher nicht in Frage kommt, pries East als Lösung extrem sparsame Bausteine wie die Igloo-FPGA-Familie aus dem Hause Actel an. Diese nehmen um den Faktor 1000 weniger Energie auf als vergleichbare FPGAs (Kasten „Energiesparmeister bei FPGAs“). Der Ansatz von eASIC konnte erwartungsgemäß keine Begeisterung bei East auslösen.

Auch Chris Rowen (Bild 5), CEO von Tensilica, stellte die Verringerung der Leistungsaufnahme in den Mittelpunkt seiner Ausführungen. Auch er benannte erschreckende Fakten, dass nämlich 6 % des elektrischen Energieverbrauchs durch Informationstechnik wie PCs, Telefone und Consumer-Elektronik verursacht werden (200 000 000 MWh pro Jahr). Zur Deckung dieser Energiemenge seien 30 jeweils 800 MW produzierende Kernkraftwerke erforderlich, die einen Ausstoß von 150 Millionen Tonnen CO<sub>2</sub> pro Jahr hätten. Sein Lösungsansatz aus Sicht eines Prozessorherstellers lautet: parallele Prozessorstrukturen. Die Grundüberlegung dabei ist folgende (Bild 6): Durch die Verdoppelung von Chipfläche und Prozessor-Cores kann die gleiche Rechenleistung bei halber Taktfrequenz erreicht werden – in der Theorie. In der Praxis



**Bild 5.** Chris Rowen, CEO von Tensilica, sieht im Bau von konfigurierbaren Multicore-Prozessoren den optimalen Ansatz, die Energieaufnahme von Prozessoren zu senken.

wird noch der Verwaltungs-Overhead für das Zusammenspiel der Cores abzuziehen sein. Bei einer Halbierung der Frequenz verringert sich die Energieaufnahme sogar um 75 %, da die Versorgungsspannung quadratisch in die Leistung eingeht. Daher sind Tensilica-Cores für 0,6 V Spannung ausgelegt und benötigen nur 10 µW pro MHz Taktfrequenz.

Des weiteren könne man, so Rowen, durch konfigurierbare Prozessoren

### Das Hamster-Auto



Das in Japan von Toyota als Gag vorgestellte Auto wird von mehreren Hamstern, die sich in einem Laufrad bewegen, angetrieben. Da jeder Hamster nur ca. 0,1 PS Leistung erzeugt, müsste man für eine kommerzielle Nutzung pro Mittelklasse-Fahrzeug mindestens 70 bis 100 Hamster nebst Lauf-rädern „installieren“.

Bei nur 50 Mio. Autos müssten somit schon bis zu 5 Mrd. Hamster gezüchtet werden, die als Nahrung so viel Futter benötigten, dass man eine Fläche doppelt so groß wie die USA allein mit Gras bebauen müsste (die Zeit zum Nachwachsen des abgefressenen Grases eingeschlossen). Der Treibhausgas-Ausstoß der Hamster würde zudem jede Klimabilanz ad absurdum führen.

1 Block:

Frequenz	1
Spannung	1
Energiebedarf	1
Fläche	1
Rechenleistung	1

2 Blöcke parallel:

Frequenz	0,5
Spannung	0,5
Energiebedarf	0,25
Fläche	2
Rechenleistung	1

**Bild 6.** Bei einer Verdoppelung der Cores und einer Halbierung von Taktfrequenz und Versorgungsspannung wird der Energiebedarf eines Prozessors geviertelt. Die Rechenleistung bleibt dabei theoretisch voll erhalten, in der Praxis muss man wegen des Verwaltungs-Overheads Abstriche machen.

### Energiesparmeister bei FPGAs

Die Igloo-FPGA-Familie von Actel eignet sich auf Grund der geringen Verlustleistung speziell zur Entwicklung von Mobilgeräten mit langer Batterielaufzeit. Im statischen Betrieb werden lediglich 5 µW aufgenommen, was etwa um Faktor 1000 unter vergleichbaren FPGAs anderer Hersteller liegt. Dies ermöglicht portable Geräte, die gegenüber anderen Lösungen auf Basis programmierbarer Logik mehr als die zehnfache Batterielaufzeit zulassen. Der Grund: Flash-Speicher kommt mit einem Transistor pro Zelle aus, während SRAM-FPGAs sechs Transistoren aufweisen. Außerdem wird vom nichtflüchtigen Flash-Speicher keine Energie für die Konfiguration beim Kaltstart verschwendet. Der kostenlos mitlieferbare Cortex-M1-Prozessor von AMR benötigt in einem Igloo-FPGA implementiert im statischen Betrieb lediglich

24 µA Ruhestrom und im Stand-by-Modus nur 3 µA. Der so genannte „Flash-Freeze-Modus“, in dem die SRAM- und Register-Inhalte erhalten bleiben und für den keine zusätzlichen Komponenten erforderlich sind, um I/O-Schnittstellen und Zeitgeber herunterzufahren, senkt den Ruhestrom auf 20 µA. Flash-Freeze ermöglicht darüber hinaus das kurzfristige Ein- und Ausschalten des Cortex-M1-Cores, um die Stromaufnahme weiter zu senken. Die Umschaltung in den Flash-Freeze-Modus (oder zurück) dauert weniger als 1 µs, der Baustein kann das Energie-Management auf Basis externer Eingaben wie Tastatureingaben allerdings auch im Flash-Freeze-Modus steuern. Igloo-FPGAs arbeiten mit Spannungen von 1,2 oder 1,5 V. Der 1,2-V-Betrieb reduziert die Energieaufnahme im dynamischen Betrieb um 35 %.

ren und deren Anpassung auf die jeweilige Anwendung die Rechenleistung um das 10-fache erhöhen. Xtensa-Prozessoren z.B. bestehen aus durchschnittlich vier Cores, die IP muss vom Anwender selbst optimiert werden. Bedeutete diese Konfiguration vor Jahren noch einen erheblichen Aufwand, der Entwickler auch schon mal überforderte, so ist der Prozess mittlerweile deutlich einfacher geworden (Bild 7). Laut Rowen kann ein optimierter anwendungsspezifischer Prozessorbefehl zwischen 5 und 50 RISC-Anweisungen ersetzen.

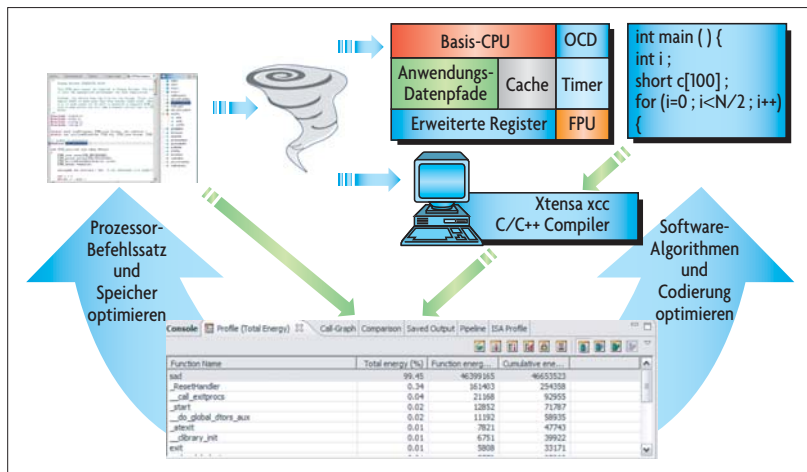
Den Schlüssel für ein energie-einsparendes Design sieht man bei Tensilica in der Nutzung von Multicore-De-

signs für Video- und Audio-Anwendungen, weil dort parallele Verarbeitung den größten Mehrwert stiftet. Leider ist es sehr kompliziert, auf der Steuerungsebene mit mehreren Cores zu operieren.

Tensilica bietet eine neue Grafikkchnittstelle für den Xenergy-Estimator an, der die Verlustleistung für eine spezifische Last auf einer bestimmten Prozessorkonfiguration berechnet. Ein Entwickler kann somit verschiedene Konfigurationen durchrechnen und sich die Ergebnisse grafisch anzeigen lassen. Für bestimmte Aufgaben wie FFT und Viterbi lässt sich die Verlustleistung um den Faktor 22 oder 33 reduzieren. Zudem kann man auch den

Verbrauch diverser Prozessoren mit unterschiedlichen Werten für Cache, RAM, ROM und anderen Xtensa-Konfigurationen abschätzen. Und selbst wenn das SoC schon fertig ist, kann man den C-Code mit Hilfe des Tools energiemäßig noch optimieren. Der Xenergy-Estimator zeigt dazu „Hot Spots“ im Code an, das sind die Teile, die zu den meisten Prozessorzyklen und den meisten Speicherzugriffen führen.

Am Ende konnte sich Rowen einen Pfeil Richtung Xilinx und Co. nicht verkneifen: „Mit unseren ultimativen energieeffizienten Prozessoren visieren wir einen Markt an, der sehr viel größer ist als die 14 Mrd. Dollar, die Xilinx für sich entdeckt hat.“ *fr*



**Bild 7.** Mit dem Xenergy-Estimator kann ein Designer sein SoC hardware- und softwaremäßig auf möglichst geringen Energiebedarf trimmen.

### Weblinks

- [1] Website der Globalpress Connection: [www.globalpresspr.com](http://www.globalpresspr.com)
- [2] Website von Xilinx: [www.xilinx.com](http://www.xilinx.com)
- [3] Website von Actel: [www.actel.com](http://www.actel.com)
- [4] Website von eASIC: [www.easic.com](http://www.easic.com)
- [5] Website von Tensilica: [www.tensilica.com](http://www.tensilica.com)

**Dipl.-Ing. Frank Riemenschneider**

ist verantwortlicher Redakteur der *Elektronik* für Mikroprozessoren, Mikroelektronik und Leistungselektronik.  
[frriemenschneider@elektronik.de](mailto:frriemenschneider@elektronik.de)