Asynkron NoC giver effektive IC'er

Selvtimet network-on-chip teknologi fra engelsk opstartsfirma løser timing og power problemerne i fremtidens komplekse SoC-designs og muliggør design af mere effektive IC'er på kortere tid og med bedre forudsigelighed, højere performance og lavere effektforbrug

Af Jørgen Sarlvit-Larsen (San Francisco, Californien)

Interconnect forbindelserne mellem de mange komponenter og kredsløb på chippen i integrerede kredse bliver stadig vanskeligere at håndtere i takt med IC'ernes stigende kompleksitet og mindre halvledergeometri.

Kompleksiteten i dagens system-on-chip (SoC) designs er nu så omfattende, at det næsten bliver umuligt at bruge konventionelle signalbusser på chippen. Det er blevet vanskeligere at opnå en effektiv kommunikation mellem de mange domæner af clocksignaler, der er forbundet indbyrdes af lange lederbaner. Og dermed bliver det også vanskeligere at lukke timingen, såkaldt timing closure, i et komplekst SoC-design.

I dag anvender chipdesignerne typisk et hierarki af klokkede systembusser, der er forbundet med hinanden af diverse brokredsløb. Clockfrekvensen på bussen bestemmes af de tilsluttede enheders kommunikationsbehov, men den opnåelige frekvens begrænses ofte af busledningernes fysiske længde og chippens fysiske layout. Jo større og mere kompleks en chip er, desto længere (og langsommere) bliver signalforbindelserne, og desto mere tid skal der bruges på at optimere det fysiske layout. Det både forlænger udviklingstiden og nedsætter chippens performance og betyder, at det konventionelle hierarki af signalbusser bliver en stadig større hæmsko for design af effektive chips.

En farbar vej for den interne kommunikation på fremtidens SoC-chips kan derfor være at anvende netværksteknikker analogt med dem, der benyttes til datakommunikationen i teleselskabernes netværk. En sådan NoC (network-on-chip) løsning lanceres nu af det engelske opstartsforetagende, Silistix (www.silistix.com), der er et spin-off fra University of Manchester Computer Science Department. Denne CHAIN (chip area interconnect) løsning er en selvtimet NoC teknologi, som giver mulighed for global asynkron forbindelse af IP (intellectual property) blokkene på chippen, mens de enkelte IP-blokke lokalt kan operere synkront eller asynkront. Firmaet tilbyder sit clockløse NoC netværk som IP-blokke sammen med softwareværktøjer til design og syntese af CHAIN komponenterne. Disse værktøjer kan integreres i eksisterende ASIC-designflow.

- Kommunikationen i dagens SoC-designs er årsagen til ineffektive chips, og den eneste måde at løse dette problem på er at anvende et selvtimet NoC-system, mente David Fritz

- Kommunikationen i dagens SoC-designs er årsagen til ineffektive chips, og at hovedparten af IC-udviklingsprojekterne ikke kan gøres færdig til planlagt tid. Løsningen på dette dilemma kræver nytænkning, og anvendelsen af et selvtimet NoC system er den eneste måde, hvorpå man i fremtiden kan løse timing og power problemerne i komplekse SoC-designs, mente Silistix's CEO, David Fritz, på en topkonference for den globale elektronikfagpresse i San Francisco, Californien, USA primo april.

CHAIN srkitekturen

CHAIN netværket anvender low cost switches og tætte links, som alle arbejder med selvtimede protokoller, der er ufølsomme over for signalforsinkelse. Disse switches og links kan kobles sammen, så der opnås højere kapacitet, og de anvendes sammen med veldefinerede pakkeformater i virtuelle forbindelser mellem de forskellige enheder på en SoC-chip. De enkelte links har fem fremadgående signaler og et handshake signal til den selvtimede signalforbindelse. De repeatertrin, som normalt anvendes i lange ledninger på chippen, er i CHAIN arkitekturen erstattet med pipeline latches, så det bliver muligt at øge cyklushastigheden i de enkelte links og opnå en meget mindre signalforsinkelse end med simple repeatere. Det er en af fordelene ved at anvende en selvtimet implementering, fordi dybden af pipelinen kan varieres uden, at det påvirker signalforsinkelsen nævneværdigt. Ved et synkront design vil tilføjelsen af et ekstra pipelinetrin øge signalets latency med endnu en clockperiode. I CHAIN netværket kan hvert link således tunes separat, da forbindelsen ikke længere er begrænset af en langsom global clock, som nedsætter chippens performance. Desuden forbruger de aktive segmenter i et CHAIN netværk kun effekt, når der sendes data, ligesom clockbuffere og busdrivere kan undværes, hvilket giver et betydeligt lavere effektforbrug i den selvtimede handshake teknologi. Da clockløse interconnect forbindelser altid arbejder med den maksimale overføringshastighed og ikke skal vente på et clocksignal, kan det give en 10 gange bedre performance sammenlignet med traditionelle clockkede systemer.

- I forhold til traditionelle bussystemer kan chipdesignerne med Silistix's NoC teknologi reducere chippens totale effektforbrug med 30 procent, forbedre ydelsen med 50 procent, forkorte udviklingstiden med 40 procent og reducere de totale produktionsomkostninger med 20 procent, oplyste David Fritz.

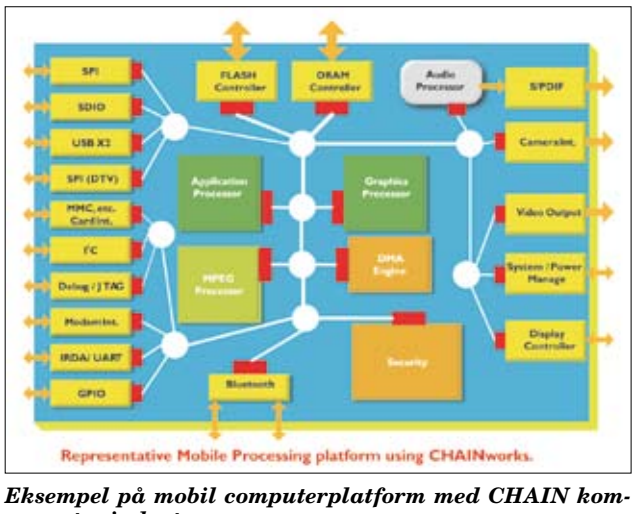
- Vor NoC-teknologi har allerede vagt interesse blandt flere kendte japanske elektronikfirmaer, og Intel er hovedinvestor i Silistix, fortalte David Fritz

Eliminerer kostbare iterationer

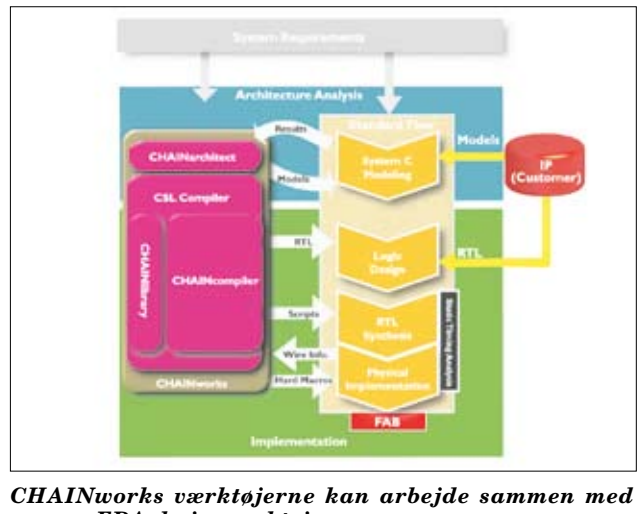
Til design af det clockløse NoC-netværk har firmaet udviklet en suite af softwareværktøjer, som kan arbejde sammen med gængse designværktøjer. Denne værktøjssuite, der betegnes CHAINworks, omfatter implementeringsværktøjet CHAINarchitect, kompileren CHAINcompiler og biblioteket CHAINlibrary. Kompileren genererer RTL-kode af de syntetiserbare dele, hårde makroer til de clockløse dele samt SystemC modeller, behavioristisk Verilog og andre modeller, så de clockløse forbindelser kan integreres sømløst i standard EDA-værktøjer. De syntesealgoritmer, der anvendes til at danne interconnect forbindelserne, bruger informationen fra de hårde makroer, som implementerer den clockløse interconnect. Dermed sikres, at kun systemer, som kan realiseres i silicium, bliver designet, og man undgår kostbare iterationer og øger dermed designernes produktivitet.

Da de clockløse forbindelser altid arbejder med den maksimale hastighed, anvender de typisk transmissions links, der er meget mere tætsiddende end i traditionelle bus- eller krydsfeltbaserede systemer. Det sparer siliciumareal og reducerer kostprisen, og da den clockløse teknologi af natur bruger mindre effekt, bliver det muligt at lave designs med aggressive power mål, uden at gå til en dyrere low power siliciumproces.

- Vore CHAINworks værktøjer giver fordele, såsom mindre designarbejde, reduceret effektforbrug, skalering af netværkstopologien til enheder af enhver størrelse, høj performance, forudsigelige resultater og reduceret kostpris. Disse værktøjer kan bruges til ethvert SoC-design, og flere japanske firmaer er allerede potentielle kunder til vor NoC-teknologi, ligesom Intel er hovedinvestor i Silistix, sagde David Fritz.



Eksempel på mobil computerplatform med CHAIN komponenter indsat



CHAINworks værktøjerne kan arbejde sammen med gængse EDA-designværktøjer